

Power-off motor deceleration control system

Patent number: JP9500519T

Publication date: 1997-01-14

Inventor:

Applicant:

Classification:

- international: H02P6/24

- european: G11B15/02P; G11B15/18B; G11B15/48; H02P6/00B;
H02P7/62D

Application number: JP19940513985T 19941110

Priority number(s): WO1994US12920 19941110; US19930150727
19931112

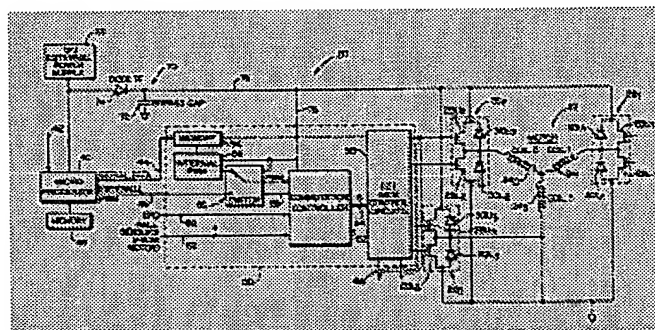
Also published as:

WO9513650 (A1)
EP0729668 (A1)
US5426355 (A1)
EP0729668 (A4)

Abstract not available for JP9500519T

Abstract of corresponding document: **US5426355**

A system (20) for controlling deceleration of a motor (22) during an abrupt power-off condition includes a processor (40), a motor control circuit (50), and a secondary power source (70). During normal power-on operation and based on currently prevailing operation parameters, processor (40) routinely generates a contingent motor-governing deceleration signal for potential use in governing motor (22) should the power-off condition occur. In response to the occurrence of a power-off condition, motor control circuit (50) controls motor (22) in accordance with the contingent motor-governing deceleration signal to achieve orderly deceleration. Secondary power supply circuit (70) provides power to motor control circuit (50) during the power-off condition.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-500519

(43) 公表日 平成9年(1997)1月14日

(51) Int.Cl.⁶

H 0 2 P 6/24

識別記号

庁内整理番号

7627-3H

F I

H 0 2 P 6/02

3 7 1 C

審査請求 有 予備審査請求 有 (全 30 頁)

(21) 出願番号 特願平7-513985
(86) (22) 出願日 平成6年(1994)11月10日
(85) 翻訳文提出日 平成8年(1996)5月10日
(86) 国際出願番号 PCT/US94/12920
(87) 国際公開番号 WO95/13650
(87) 国際公開日 平成7年(1995)5月18日
(31) 優先権主張番号 150, 727
(32) 優先日 1993年11月12日
(33) 優先権主張国 米国 (US)
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), AU, CA, JP

(71) 出願人 エクサバイト コーポレーション
アメリカ合衆国 コロラド 80301-2603,
ボールダー, 38ティーエイチ ストリート
1685
(72) 発明者 ズウェイグハフト, ジェームズ
アメリカ合衆国 コロラド 80303, ボー
ルダー, イートン コート 4235
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 パワーオフモータ減速制御システム

(57) 【要約】

突然のパワーオフ状態の間のモータ (22) の減速を制御するシステム (20) は、プロセッサ (40) と、モータ制御回路 (50) と、2次電源 (70) とを含む。通常のパワーオン動作の間には、現在有力である動作パラメータに基づいて、プロセッサ (40) は、パワーオフ状態が起こった際にモータ (22) の調節に使用する可能性のある偶発的なモータ調節減速信号を、所定の手順で生成する。パワーオフ状態の発生に反応して、モータ制御回路 (50) は、偶発的なモータ調節信号に応じてモータ (22) を制御して規則正しい減速を達成する。2次電源回路 (70) は、パワーオフ状態の間、モータ制御回路 (50) にパワーを提供する。

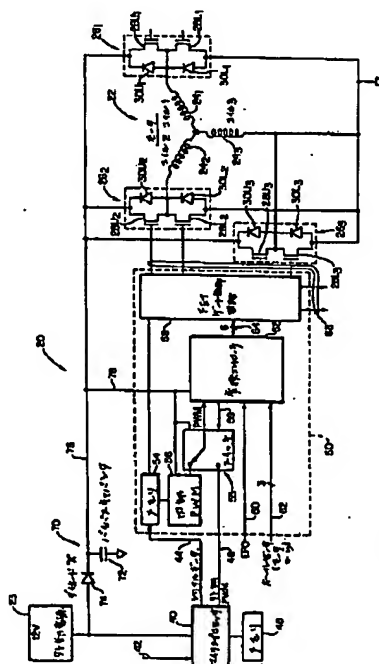


FIG. 1

【特許請求の範囲】

1. 主電源回路からのパワーの突然のパワーオフ状態の間にモータの減速を制御する装置であって、

該主電源回路によってパワーを供給されるプロセッサであって、通常のパワーオン動作の間および該パワーオフ状態に先立って、現在の有力である動作パラメータに基づいて該パワーオフ状態が生じた際に該モータを調節するのに使用するモータ調節減速信号を所定の手順で生成するプロセッサと、

該モータ調節減速信号を格納するメモリと、

パワーオフ状態の発生に応答して、該メモリに格納されている該モータ調節減速信号に応じて該モータを制御するモータ制御回路と、

該パワーオフ状態の間に該モータ制御回路にパワーを提供する2次電源回路とを備えた装置。

2. 前記2次電源回路は、前記減速中のモータからの電流を用いて前記パワーオフ状態の間に前記モータ制御回路にパワーを提供する回生電源回路である、請求項1に記載の装置。

3. 前記モータは、ブラシレス3相直流モータである、請求項2に記載の装置。

4. 前記モータの3つのコイルのそれぞれに対してコイルドライブ回路をさらに備えており、該コイルドライブ回路は1対のトランジスタおよび1対のダイオードを備えている、請求項3に記載の装置。

5. 前記回生電源回路は、前記コイルドライブ回路およびバイパスキャパシタを備えており、該バイパスキャパシタは、電源と各コイルドライブ回路との間に接続される、請求項4に記載の装置。

6. 前記モータ調節減速信号は、パルス幅変調信号である、請求項1に記載の装置。

7. 前記プロセッサは、通常のパワーオン動作の間に前記モータを調節するための通常のコイル調節制御信号をも生成し、前記モータ制御回路は、パワーオフであるかパワーオンであるかの状態に応じて(1)該通常状態でのモータ調節制御信号と(2)前記モータ調節減速信号のとの間で選択するコントローラを備える

、請求項1に記載の装置。

8. 前記モータ調節減速信号および前記通常状態でのモータ調節制御信号は、パルス幅変調信号である、請求項7に記載の装置。

9. 前記プロセッサは、テーブルメモリに格納されたルックアップテーブルを参照することにより、前記モータ調節減速信号を生成する、請求項1に記載の装置。

10. 前記プロセッサは、現在の有力である動作パラメータを用いて計算を実行することにより、前記モータ調節減速信号を生成する、請求項1に記載の装置。

11. 前記モータは、テープドライブにおけるテープリールのモータである、請求項1に記載の装置。

12. 前記テープドライブは、テープサプライリールおよびテープテイクアップリールの両方を有しており、該テープドライブには、各リールに対してモータ制御回路および2次電源回路が設けられている、請求項11に記載の装置。

13. 前記2次電源回路から前記プロセッサに供給されるパワーの搬送を妨げる

手段をさらに包含しており、これにより前記オフパワー状態での間該プロセッサの実行が停止する、請求項1に記載の装置。

14. 前記テープに情報信号を記録し、かつ、該テープから情報信号を再生する磁気テープドライブであって、

主電源回路と、

該テープの第1の端部が巻かれているサプライリールと、

該テープの第2の端部が巻かれているテイクアップリールと、

該サプライリールから該テイクアップリールに延びているテープ経路と、

該テープの一部に少なくとも周期的に接触する該テープ経路上のヘッドと、

該テープ経路上にあるヘッドであって該テープの一部に少なくとも所定の手順で接触する該ヘッドと、

該サプライリールおよび該テイクアップリールのうち少なくとも1つを回転させるモータと、

該主電源回路によってパワーを供給されるプロセッサであって、通常のパワー

オン動作の間および該パワーオフ状態に先立って、現在の有力である動作パラメータに基づいてパワーオフ状態が生じた際に該モータを調節するのに使用するモータ調節減速信号を所定の手順で生成するプロセッサと、

該モータ調節減速信号を格納するメモリと、

パワーオフ状態の発生に応答して、該メモリに格納されている該モータ調節減速信号に応じて該モータを制御するモータ制御回路と、

該パワーオフ状態の間に該モータ制御回路にパワーを提供する2次電源回路とを備えた装置。

15. 前記2次電源回路は、前記減速中のモータからの電流を用いて前記パワーオフ状態の間に前記モータ制御回路にパワーを提供する回生電源回路である、請求項14に記載の装置。

16. 前記モータは、ブラシレス3相直流モータである、請求項15に記載の装置。

17. 前記モータの3つのコイルのそれぞれに対してコイルドライブ回路をさらに備えており、該コイルドライブ回路は1対のトランジスタおよび1対のダイオードを備えている、請求項16に記載の装置。

18. 前記回生電源回路は、前記コイルドライブ回路およびバイパスキャパシタを備えており、該バイパスキャパシタは、電源と各コイルドライブ回路との間に接続される、請求項17に記載の装置。

19. 前記モータ調節減速信号は、パルス幅変調信号である、請求項14に記載の装置。

20. 前記プロセッサは、通常のパワーオン動作の間に前記モータを調節するための通常のモータ調節制御信号をも生成し、前記モータ制御回路は、パワーオフであるかパワーオンであるかの状態に応じて(1)該通常状態でのモータ調節制御信号と(2)前記モータ調節減速信号のとの間で選択するコントローラを備える、請求項14に記載の装置。

21. 前記モータ調節減速信号および前記通常状態でのモータ調節制御信号は、パルス幅変調信号である、請求項20に記載の装置。

22. 前記プロセッサは、テーブルメモリに格納されたルックアップテーブルを参照することにより、前記モータ調節減速信号を生成する、請求項14に記載の装置。

23. 前記プロセッサは、現在の有力である動作パラメータを用いて計算を実行することにより、前記モータ調節減速信号を生成する、請求項14に記載の装置。

24. モータは、前記サブライリールと前記テイクアップリールのそれぞれを回転させるために設けられ、両方のリールに対してモータ制御回路と第2次電源回路とが設けられる、請求項14に記載の装置。

25. 前記2次電源回路から前記プロセッサに供給されるパワーの搬送を妨げる手段をさらに備えており、これにより前記オフパワー状態の間に該プロセッサの実行が停止する、請求項14に記載の装置。

26. 突然のパワーオフ状態の間にモータの減速を制御する方法であって、

主電源回路によってパワーを供給されるパワーに基づいて、通常のパワーオン動作の間および該パワーオフ状態に先立って、現在の有力である動作パラメータに基づいて、該パワーオフ状態が生じた際に該モータを調節するのに使用するモータ調節減速信号を所定の手順で生成するステップと、

該モータ調節減速信号をメモリに格納するステップと、

該パワーオフ状態の発生に応答して、該メモリに格納されている該モータ調節減速信号に応じて該モータを制御するステップと、

2次電源回路を用いて該パワーオフ状態の間に前記モータ制御回路にパワーを提供するステップとを包含する方法。

27. 前記モータ制御回路にパワーを提供する前記ステップが、前記減速中のモータからの電流を用いることを包含する、請求項25に記載の方法。

28. 前記モータは、該モータの3つのコイルそれぞれに対してコイルドライブ

回路を有するブラシレス3相直流モータであって、電荷は、前記パワーオフ状態の間に、電源と各該コイルドライブ回路との間に接続されるキャパシタに格納さ

れる、請求項26に記載の方法。

29. 前記モータ調節減速信号は、パルス幅変調信号である、請求項25に記載の方法。

30. 前記モータ調節減速信号および前記通常状態でのモータ調節制御信号は、パルス幅変調信号である、請求項29に記載の方法。

31. 通常のパワーオン動作の間に前記モータを調節するための通常のパワー調節制御信号を生成するステップと、

パワーオフ状態であるかパワーオン状態であるかに応じて(1)該通常状態でのモータ調節制御信号と(2)前記モータ調節減速信号のとの間で選択するステップとをさらに包含する、請求項25に記載の方法。

32. 前記モータ調節減速信号を生成する前記ステップは、テーブルメモリに格納されているルックアップテーブルを参照することを包含する、請求項25に記載の方法。

33. 前記モータ調節減速信号を生成する前記ステップは、現在の有力である動作パラメータを用いて計算を実行することを包含する、請求項25に記載の方法。

34. 前記モータはテープドライブにおけるテープリールのためのモータである、請求項25に記載の方法。

35. テープドライブを操作する方法であって、

サプライリールとテイクアップリールの少なくとも一つを回転させるモータを用いて、該サプライリールから変換ヘッドを通して該テイクアップリールにテープを少なくとも部分的に搬送するステップと、

主電源回路によって供給されるパワーに基づいて、通常のパワーオン動作の間および前記パワーオフ状態に先立って、現在の有力である動作パラメータに基づいて、該パワーオフ状態が生じた時に該モータを調節するのに使用するモータ調節減速信号を所定の手順で生成するステップと、

該モータ調節減速信号をメモリに格納するステップと、

該パワーオフ状態の発生に応答して、該メモリに格納されている該モータ調節

減速信号に応じて該モータを制御するステップと、

2次電源回路を用いて該パワーオフ状態の間に前記モータ制御回路にパワーを提供するステップとを包含する方法。

36. 前記モータ制御回路にパワーを提供するステップが、前記減速中のモータからの電流を用いることを包含する、請求項35に記載の方法。

37. 前記モータは、該モータの3つのコイルそれぞれに対してコイルドライブ回路を有するブラシレス3相直流モータであって、電荷は、前記パワーオフ状態の間に、電源と各コイルドライブ回路との間に接続されるキャパシタに格納される、請求項35に記載の方法。

38. 前記モータ調節減速信号は、パルス幅変調信号である、請求項35に記載の方法。

39. 通常のパワーオン動作の間に前記モータを調節するための通常の前記モータ調節制御信号を生成するステップと、

パワーオフ状態であるかパワーオン状態であるかに応じて(1)該通常状態で

の前記モータ調節制御信号と(2)前記モータ調節減速信号のとの間で選択を行うステップとをさらに包含する、請求項35に記載の方法。

40. 前記モータ調節減速信号および前記通常状態でのモータ調節制御信号は、パルス幅変調信号である、請求項35に記載の方法。

41. 前記モータ調節減速信号を生成する前記ステップは、テーブルメモリに格納されるルックアップテーブルを参照することを包含する、請求項35に記載の方法。

42. 前記モータ調節減速信号を生成する前記ステップは、現在の有力である動作パラメータを使って計算を実行することを包含する、請求項35に記載の方法。

43. 突然のパワーオフ状態の間にモータの減速を制御する方法であって、

主電源回路によって供給されるパワーに基づいて、通常のパワーオン動作の間および該パワーオフ状態に先立って、現在の有力である動作パラメータに基づいて、該パワーオフ状態が生じた際に該モータを調節するために用いるモータ調節

減速信号を所定の手順で生成するプロセッサを用いるステップと、

該モータ調節減速信号をメモリに格納するステップと、

該パワーオフ状態の発生に応答して、該メモリに格納されている該モータ調節減速信号に応じて該モータを制御するステップと、

2次電源回路を用いて該パワーオフ状態の間に前記モータ制御回路にパワーを供給するが、該プロセッサにはパワーを供給しないステップとを包含する方法。

【発明の詳細な説明】

パワーオフモータ減速制御システム

背景

1. 発明の分野

本発明は、パワーオフ状態中の媒体操作機構の制御された減速、例えば情報記憶媒体のような媒体を収容するリールの制御された減速に関連する。

2. 関連技術および他の考察

パワー駆動モータは、媒体サプライ点から媒体テイクアップ点までの媒体の搬送にしばしば使用される。そのようなモータは、典型的には、そのモータのドライブシャフトに取り付けられた媒体操作要素を有している。媒体操作要素の一例は、その周囲に媒体が巻かれたり、解かれたりするリールである。媒体搬送中のそのようなモータに対する突然のパワー停止は、搬送される媒体の減速が制御されない、破壊をもたらす可能性がある。

先行技術の装置が提供する減速制御の限りにおいて、そのような制御は、媒体の機械的なブレーキ作用を通じて、一般には実行される。機械的なブレーキ動作機構は、付加的な機械的要素を必要とし、しばしば有効ではない。

リールによって送り込まれたりあるいは巻きとられたりする媒体の減速を正確に制御するためには、多くの複雑な要因が考慮されなければならない。そのような要因は、最小限、リール上の媒体の瞬間的な半径と媒体の瞬間的な速度とを含む。

そのような要因が適切に考慮されなければ、ブレーキ作用中に媒体は過度の張力を経験する可能性があり、このことは媒体の損傷につながる。ある場合には、不正確なブレーキ作用（あるいは全くの無ブレーキ）は、そのリールについてそ

の媒体の異常なスプーリングにつながる可能性がありあるいはテープダンピングにつながるおそれさえある。異常なスプーリングとダンピングとは、典型的には（付随的な遅れとともに）手動の修正的な介入を必要とし、最悪の場合、媒体の損傷を招く。

そのような要因の考慮は、計算能力を必要とする。しかし、突然のパワーオフ

状態の間には、計算知能にパワーを与えるために通常の電源を使用することはできない。

媒体の制御された減速が最も重要である装置の一例は、テープドライブとして知られているコンピュータの周辺装置である。テープドライブは典型的には、サプライリールとテイクアップリールとの間に延びる磁気記録テープを有している。各リールを動かすモータへのパワーが乱れたら、前記の問題が起こり得る。磁気テープの感度と精密さおよび情報を格納するための重要性の観点から、テープの損傷や誤動作は許容され得ない。

テープドライブのある特定のタイプにヘリカルスキャンテープドライブがある。ヘリカルスキャンテープドライブの例は、とりわけ、以下の米国特許（全ての文献が本願に援用されている）に示される。

Hinzらに対する米国特許第4,835,628号

Georgisらに対する米国特許第4,843,495号

Hughesらに対する米国特許第5,065,261号

Hughesらに対する米国特許第5,068,757号

Zookらに対する米国特許第5,142,422号

要旨

突然のパワーオフ状態の間のモータの減速を制御するシステムは、プロセッサと、モータ制御回路と、2次電源とを含む。通常のパワーオン動作の間には、現在有力である (prevailing) 動作パラメータに基づいて、プロセッサは、パワーオフ状態が起こった際にモータの調節に使用する可能性のある偶発的なモータ調節減速信号を、所定の手順で (routinely) 生成する。パワーオフ状態の発生に応答して、モータ制御回路は、偶発的なモータ調節信号に応じてモータを制御して規則正しい減速を達成する。2次電源回路は、パワーオフ状態の間、モータ制御回路にパワーを提供する。

ある実施態様では、モータはそのモータの3つのコイルそれぞれに対するコイルドライブ回路を有するブラシレス3相直流モータである。コイルドライブ回路のそれぞれは、一対のトランジスタと一対のダイオードとを備えている。2次電

源回路は、パワーオフの状態の間、減速するモータからの電流を使用してモータ制御回路にパワーを提供する回生 (regenerative) 電源回路である。特にその回生電源回路は、コイルドライブ回路とバイパスキャパシタとを備えており、バイパスキャパシタは、電源と各コイルドライブ回路との間に接続されている。

プロセッサは、通常のパワーオン状態の間に、モータを調節する通常のもータ調節制御信号も生成する。モータ制御回路はコントローラを含み、コントローラは、パワーオフ状態であるかあるいはパワーオン状態であるかに応じて、(1) 通常のもータ調節制御信号と (2) 偶発的な (contingent) もータ調節減速信号との間で選択を行う。偶発的なもータ調節制御信号は、コントローラがアクセスするプロセッサによってメモリに格納される。

ある実施態様では、プロセッサは、メモリに格納されているルックアップテーブルを参照することにより、偶発的なもータ調節減速信号を生成する。他の実施態様ではプロセッサは現在の動作パラメータを用いて計算することにより偶発的なもータ調節信号を生成する。

本発明のもータ減速制御システムの適用分野の1つは、磁気テープドライブにおけるテープリールのモータである。

図面の簡単な説明

本発明の上記および他の目的、特徴および利点は、添付の図面に示すような好適な実施態様についての下記のさらに詳しい説明によって明らかとなる。図面において、参照符号は様々な描写を通じて同一の部分を指す。図面は、必ずしも一定のスケールで描かれおらず、代わりに本発明の原理を示すことに重点が置かれている。

図1は、本発明の実施態様による減速制御システムの概略図である。

図2Aは、通常動作モードの間の、図1の減速制御システムにおける、電流の増加 (build-up) を示す概略図である。

図2Bは、通常動作モードの間の、図1の減速制御システムにおける、電流の減衰 (decay) を示す概略図である。

図2Cは、パワーオフ動作状態モードの間の、図1の減速制御システムにおけ

る、電流の増加を示す概略図である。

図2Dは、パワーオフ動作状態モードの間の、図1の減速制御システムにおける、電流の減衰を示す概略図である。

図3は、図1の減速制御システムの動作に関与するステップを例示する概略図である。

図4は、テープドライブシステムにおける図1の減速制御システムの使用を示す概略図である。

図面の詳細な説明

図1は、モータ22の減速制御システム20を示す。モータ22は、どのような目的にも用いられる。通常の状態において、モータ22は、(12Vの電圧源のような)外部電源23によって、パワーを供給される。

図1に示される特定の実施態様において、モータ22は、3つのコイル24₁、24₂および24₃を有する3相ブラシレス直流モータである。コイル24₁、24₂および24₃のそれぞれに対して、コイルドライブ回路26₁、26₂および26₃がそれぞれ設けられている。各コイルドライブ回路26は、外部電源23とグランドとの間に接続される。さらに各コイルドライブ回路26は、一対のFETトランジスタ28Uおよび28LとFETに対応する固有のダイオード30Uおよび30Lとを含む。各コイルドライブ回路26において、トランジスタ28Uとダイオード30Uとは、コイル24と外部供給電源23との間に並列に接続され、トランジスタ28Lとダイオード30Lとは、コイル24とグランドとの間に並列に接続されている。図1には示されていないが、典型的に、モータ22は各コイル24のための(ホールセンサのような)センサが設けられている。

減速制御システム20は、外部電源23によってパワーを供給されるマイクロプロセッサ40を含む。マイクロプロセッサ40は、モータ20が動作する全体のシステムの一つまたはそれ以上の現在有力である動作パラメータを示す信号を入力バス42の上に受け取る。マイクロプロセッサ40は、シリアルライン44が接続されているシリアルデータ出力ポートと、パルス幅変調(PWM)ライン46が接続されているポートとを有している。以下に、より詳細に説明されるように、マイクロプロセッサ40は、所定の手順で(routinely)、シリアルライン44に偶発的なモータ調

節減速信号を出力し、ライン46上に通常のモータ調節PWM制御信号を出力する。マイクロプロセッサ40はまた（リードオンリーメモリ「ROM」48のような）メモリにアクセスするように接続されている。そのメモリには（ある実施態様では）テーブルルックアップ情報が格納されている。

減速制御システム20は、モータ制御回路50をも含む。モータ制御回路50は、コントローラ52と、メモリ54と、スイッチ55と、PWM変換回路56と、（トランジスタ28のそれぞれのゲートを制御するための）ゲート制御回路58とを含む。

図1に示されるように、メモリ54の入力ポートは、偶発的なモータ調節減速信号を受け取るためにシリアルデータライン44に接続されている。メモリ54の出力ポートはPWM変換回路56の入力ポートに接続されている。PWM変換回路56は、従来の方法で、メモリ54に格納されている値から、PWM出力信号を作成する。そのPW

M出力信号は、以下では偶発的なモータ調節PWM信号として知られる。

（偶発的なモータ調節PWM出力信号が供給される）PWM変換回路56の出力ポートは、スイッチ55の第1の入力端子に接続されている。スイッチ55の第2の入力端子は、通常モータ調節PWM制御信号を受け取るためにパルス幅変調（PWM）ライン46を介してマイクロプロセッサ40に接続されている。スイッチ55の出力端子は、コントローラ52のPWM入力端子に接続されている。コントローラ52はスイッチ制御出力端子を有しており、そのスイッチ制御出力端子は、スイッチ55の動作（すなわち、スイッチ55の出力端子が、偶発的なモータ調節PWM出力信号と通常モータ調節PWM制御信号のうちのいずれかを受け取るように接続されている）を制御するために、スイッチ制御ライン59を介してスイッチ55に接続されている。

コントローラ52はまた、パワーオフ状態の発生（すなわち、電源23からのパワーの遮断）を示す信号をライン60上で受け取るように接続されている。パワーオフ状態が生じると、例えばコントローラ52は、ライン60上の信号がロー値になったことを検出し得る。コントローラ52は以下に記載される方法でパワーオフ状態の間にパワーを供給され前述したような方法でスイッチ制御ライン59上に適切な信号値を生成し、スイッチ55を制御する。

コントローラ52はさらに、モータ22の3つのコイル24のそれぞれに関係する図

示されていないホールセンサからバス62上で入力信号を受け取るように、接続されている。コントローラ52のデータ出力ポートは、トランジスタ28のそれぞれのゲートを制御するゲート制御回路部58に6ビットバス64によって接続されている。ゲート制御回路部58は6つのゲートドライブ出力ライン68を有しており、ゲートドライブ出力ラインは、各トランジスタ28のゲートに対して別々である。

減速制御システム20は更に、パワーオフ状態の間にモータ制御回路にパワーを提供する2次的なあるいは回生電源回路70を含んでいる。以下で説明されるように、回生電源回路70はパワーオフ状態の間にモータ制御回路50にパワーを提供するために減速中のモータ22からの電流を使う。図1に示される実施態様において、回生電源回路70は、コイルドライブ回路26と、バイパスキャパシタ72と、ダイオ

ード74とを備えている（ダイオードとは、実施態様で示される様に、ショットキーダイオードである）。バイパスキャパシタ72は、外部電源23とコイルドライブ回路26のそれぞれとの間の電源ライン76に接続されている。ダイオード74は、バイパスキャパシタ72と外部電源23との間に接続されている。回生電源回路70は電源ライン76上および電源分岐ライン78上のパワーをモータ制御回路50の各電気的な構成要素（コントローラ52、メモリ54、PWMコンバータ56、スイッチ55、ゲート制御回路部58を含む）に供給する。

コントローラ52とゲート制御回路部58の正確な内部構成は、ここでは示さない。コントローラ52は従来の通信プロセスに従って、パルス幅変調された入力信号と、ゲート制御回路部58のための適切な信号を生成するモータ22のコイル24に関連するホールセンサからの信号とを本質的に用いる。これら全ては3相モータを駆動する分野の当業者なら理解される態様であろう。従って、公知ではあるが、ホールセンサからの信号は、2つのモータコイル24のうちのどちらが任意の与えられた時刻に駆動されるべきかを決定するのに用いられる。

ライン60上の信号値に応じて、どのようにコントローラ52が2つのPWM入力信号（例えば通常モータ調節PWM制御信号と偶発的なモータ調節PWM出力信号）の間で選択を行うかは、当業者によって理解されるであろう。同様に、ゲート制御回路部58のここでの特定された出力と動作が与えられれば、当業者は、ここでの詳

細な記述なしでトランジスタ28のゲートを制御するための信号を生成する方法を理解する。他の有利な使用と制御回路50の出力は、ZweighthaftとBaumanの(1993年11月12日に出願された)米国特許出願第08/150,731号、発明の名称「High Performance Power Amplifier」に示されている(ここでは本願発明のために援用されている)。

動作：通常パワーオンモード

(図3とともに)図2A~図2Dは、図1の減速制御システム20の動作の理解を容易にする。図3は、図1のコントローラ52の動作に含まれるステップを示す概

略図である。全ての図は、モータ22の2象限(two quadrant)スイッチングモード動作を示す。ここでは特に論じないが、本発明は、通常リニアモードと同様に通常の4象限(four quadrant)スイッチングにも適用されることを理解すべきである。

通常パワーオン状態の間、12Vの外部電源23は、ダイオード74を通じてコイルドライブ回路26およびモータ制御回路52にパワーを供給する。電源23は、マイクロプロセッサ40にもパワーを供給する。通常パワーオン状態の間、モータ回路コントローラ52は、PWMライン46がコントローラ52のPWM入力端子に接続されるように、スイッチ55を制御する。

通常パワーオン状態の間、マイクロプロセッサ40は、所定の手順で2つの決定を行う。第1の決定は、通常の動作が継続すると仮定した場合に、モータ22が現時点でどのように駆動されるべきかに関係する。第2の決定は、突然のパワーオフ状態が直ちに発生すると仮定した場合に、制御された減速を生じさせるためにモータ22はどのように駆動されるべきかに関係する。このように第2の決定は、マイクロプロセッサ40が更なる決定を行う機会を有する前にパワーオフが発生した場合における、マイクロプロセッサ40のいわゆる「遺言」である。

マイクロプロセッサ40の両方の決定は、モータ22が動作する状況の現在の有力である動作パラメータに基づく。例えば、モータ22が、リールされた媒体操作装置に関連して用いられる場合は、マイクロプロセッサ40によって考慮される現在の有力である動作パラメータは、リール角速度とリールの媒体半径とを含む。現

在の有力である動作パラメータを用いると、マイクロプロセッサ40は、急いで計算するか、あるいはルックアップテーブルを頼りにするかして、別々にこれらの2つの決定を下すことができる。後者に関して、図1は、メモリ48を示している。メモリ48において、現在の有力である動作パラメータは、適切な結果値を得るために、索引するのに役立ち得る。システム20の応用分野は変転するので、かつ、これらの分野の多数について現在の有力な動作パラメータを得る多くの公知の方法があるので、それらの詳細な説明は必要ないと考える。

マイクロプロセッサ40の前述した決定は、状況の動作パラメータが変化するにつれて、所定の手順で更新される。例えば、リールされた媒体操作装置の状況において、その決定はリールのスピードと半径が変化するにつれて、更新されなければならない。例えば、例示された実施態様においては、通常モータ調節PWM制御信号の決定は約1ミリ秒毎に更新され、偶発的なモータ調節減速信号の決定は、ある最初の加速中に約100ミリ秒毎に更新される。

マイクロプロセッサ40の第2の決定（すなわち、突然のパワーオフ状態が直ちに発生すると仮定した場合に、制御された減速を生じさせるためにモータ22がどのように駆動されるべきか）は、シリアルライン44を通してモータ制御回路50のメモリ54に出力される（また、偶発的なモータ調節減速信号として知られる）値に帰着する。偶発的なモータ調節減速信号の使用法は、パワーオフ状態に関係して以下に詳述されている。

マイクロプロセッサ40の第1の決定（すなわち、通常の動作が継続すると仮定した場合に、モータ22が現時点でどのように駆動されるべきか）は、PWMライン46上の出力信号に帰着する。通常モータ調節PWM制御信号としても知られるこの出力信号は、スイッチ55を通じコントローラ52に供給され、またコントローラ52にモータ22の好ましいデューティサイクルを知らせる。

図3は、モータ制御回路50のコントローラ52の動作に含まれる基本的なステップを示す。ステップ80では、コントローラ52は、通常のパワーオン状態であるかパワーオフ状態であるかのうちいずれが経験されるかを決定する。ここでの議論の文脈においては、通常のパワーオン状態が存在すると仮定する。従って、ステ

ップ82では、通常のモータ調節PWM制御信号（図3において「外部PWM」として示される）が、コントローラ52に供給されるようにコントローラ52はスイッチ50を設定する。

このように、コントローラ52は、PWM入力端子で通常のモータ調節PWM制御信号を受け取る。従来のように、サイクルのある部分の間ならPWM信号はハイ（「1」）であり、そのサイクルの残りの間、PWM信号は、ロー（「0」）であ

る。このようにPWM信号は、マイクロプロセッサ40の決定に基づき、あるトランジスタ28のオン状態（例えば、電流が流れている状態）の時間が何パーセントであるかを指令する。

図3のステップ84とステップ86は、通常のパワーオンモードの間のマイクロプロセッサ40の決定に応じてモータ22を駆動するためのトランジスタ28のゲートに信号を加えるために、コントローラ52とゲート制御回路部58とがどのようにPWM信号を用いるかを示す。厳密には、トランジスタ28のどれが、PWM信号の示す「オン」状態であるかは、従来の実施方法に従って（ライン62上の）モータ22からの3ホール信号の状態に依存する。

ステップ84によって示されているように、PWM信号がハイ（「1」）である場合、コントローラ52と回路部58は、1つの上段トランジスタ28Uと1つの下段トランジスタ28L（これらはホール入力信号に依存する）をオンする。図2Aは、通常のモータ調節PWM制御信号がハイ（「1」）である場合に通常のパワーオン状態（例えば、通常の動作モード）における例示的なホール入力の1組のみについての電流の流れ（矢印88によって表される）を示す。図2Aの例は、トランジスタ28U₂および28L₃が導通し、ダイオード30は導通せず、また電流はバイパスキャパシタ72から流れていることを示す。

ステップ86によって示されるように、PWM信号がロー（「0」）である場合にはコントローラ52と回路部58は、対応する上段ダイオード28Lが導通するように下段トランジスタ28Lをオフする。図2Bは、通常のモータ調節PWM制御信号がロー（「0」）である場合に通常のパワーオン状態（例えば、通常の動作モード）における例示的なホール入力の1組のみについての電流の流れ（矢印90によって

表される)を示す。図2Bは、トランジスタ28U₂およびダイオード30U₃が導通し、電流が徐々に減衰することを示す。

再度、図2Aと図2Bは、ホール入力、例えばコイル24₂に影響を及ぼす入力の例示的な1組のみについての電流の流れを示すことと、類似の電流の流れは、ホール入力に応じて他のコイル24₁および24₃に対して周期的に実現されることとが

理解されるべきである。動作の異なるモード(例えば、4象限モードあるいはリニアモード)においては、トランジスタ駆動の異なるパターンが、用いられ得る。

動作：パワーオフモード

電源23からのパワーが突然停止した場合に、コントローラ52は、ライン60上の信号の状態によって通知される。このように、パワーオフ決定が図3のステップ80の時点でコントローラ52によってなされた場合には、コントローラ52は、(ライン46上の通常のモータ調節PWM制御信号ではなく)PWM変換回路56からの偶発的なモータ調節PWM出力信号を受け取るように、スイッチ55の動作を制御するために信号をスイッチ制御ライン59上に発行する(ステップ92)。実際、電源23からのパワー停止の結果として、マイクロプロセッサ40は死んでいる状態にあり、ライン46にそこからの信号はない。

通常のパワーオンモードで利用される通常のモータ調節PWM制御信号のように、パワーオフモードで利用される偶発的なモータ調節PWM出力信号は、モータ22の好ましいデューティサイクルを知らせるPWM信号である。しかしながら、偶発的なモータ調節PWM制御信号によって規定されるデューティサイクルは、通常のモータ調節PWM制御信号によって規定されるデューティサイクルとは異なると仮定して、マイクロプロセッサ40によって決定されたものである。特に、前記で説明したように、偶発的なモータ調節PWM制御信号によって規定されるデューティサイクルは、突然のパワーオフ状態が起こったとした場合にモータ22の制御された減速に必要な見積もられたデューティサイクルに基づくものであった。この議論は、パワーオフの間にマイクロプロセッサ40の遺言が行使される場合におけるコントローラ52の振る舞いを詳細に示す。

パワーオフ状態の間マイクロプロセッサ40は死んでいるが、モータ制御回路50とコントローラ52は、バイパスキャパシタ72の電荷のおかげで生きている。図2A~図2Dには特に示さないが、モータ制御回路50は、バイパスキャパシタ72からの少量の電流を連続的に(ライン76とライン78上で)引き込む。バイパスキャパ

シタ72の電荷は、以下(特に図2Dを参照)に記述される方法で、所定の手順でリフレッシュされる。パワーオフモード間のモータ制御回路50の動作と特にコントローラ52の動作は以下に記述される。

図3のステップ94とステップ96はコントローラ52とゲート制御回路部58とがどのように、PWM信号を用いてパワーオフモードにおけるマイクロプロセッサ40の遺言に応じてモータ22を駆動するトランジスタ28のゲートに信号を供給するかを例示する。パワーオフモードにおいて、ライン62上のホールセンサからの信号は無視される。

ステップ94によって示されるようにPWM信号がハイ(「1」)である場合には、コントローラ52と回路部58は、すべて3つの下段のトランジスタ28Lをオンし、またダイオード30は導通状態ではない。図2Cは、偶発的なモータ調節PWM制御信号がハイ(「1」)である場合におけるパワーオフ状態での電流の流れ(矢印97によって表される)を示す。矢印97は、循環的な経路に流れる電流を示し、モータ22はスローダウンする。回転するモータ22によって生成される通常の電圧により、電流はコイル24に蓄えられ、円方向に流れる。この電流(矢印97によって表される)は、モータ22の運動を反対にするトルクに応じる。すなわち図2Cは「ブレーキ作用」サイクルを示す。

ステップ96によって示されるように、PWM信号がロー(「0」)である場合には、コントローラ52と回路部58は全てのトランジスタ28をオフするから、モータ22が減速し続けながら、電流は減衰し、かつ、バイパスキャパシタ72に流れる。図2Dは、偶発的なモータ調節PWM制御信号がロー(「0」)である場合におけるパワーオフ状態での電流の流れ(矢印98によって表される)を示す。図2Dに示されるように電流は、ダイオード30L₂とダイオード30U₃を介してバイパスキャパシタ72に戻るように流れる。モータ22のコイル24の電磁誘導の性質により電流は

ダイオード30を介してバイパスキャパシタ72に戻るように流れる。このことは、モータ制御回路50に対するパワーを維持するエネルギーを供給するバイパスキャパシタ72の電荷を補給する。キャパシタ72から更に上流に流れる電流はダイオード74によってブロックされる。このように図2Dは「リリース」サイクルを示す。

前述したように、モータ制御回路50は、(ライン78を介して) バイパスキャパシタ72から小量の電流を連続的に引き込む。モータ制御回路50によってこのように引き込まれる電流の大きさは、それぞれ図2A~2Dの矢印88、90、97および98によって表される主電流の大きさの約10分の1のオーダーである。

テープドライブの実施態様

図4は、磁気テープ102に情報信号を記録し、かつ、テープ102から情報信号を再生するテープドライブ100における、本発明のインプリメンテーションを示す。特に示されない限りは、図1と図4で使われる同様に番号づけられた参照記号(おそらくサプライ側とテイクアップ側とを区別するために図4においてアルファベットの頭文字とともに用いられたりする)は、実質的に同じ構成要素と動作を有する構造を示す。

図4に示されるように、テープドライブ100は、フロアあるいはデッキ104を含み、その上にサプライリール110とテイクアップリール112とが取り付けられている。テープ102の第1の端は、サプライリール110に巻かれている。テープ102の第2の端はテイクアップリール112に巻かれている。テープ経路114はサプライリール110からテイクアップリール112に延びている。テープドライブ100は、ドラムあるいはスキヤナ120をさらに含んでいる。スキヤナ120は、1以上の変換ヘッド122を含んでおり、変換ヘッド122は、スキヤナ120が回転するにつれてテープ102の一部分と選択的に接触している。

テープドライブ100は、サプライリール110の回転を引き起こすモータ22Sとテイクアップリール112の回転を引き起こすモータ22Tをさらに備えている。ギア配置130は、テイクアップリール112とモータ22Tとの間に存在する。このギア配置は、さらにMilesとZweighaftの(1993年11月12日に出願された)米国特許出願第

08/150,730号、発明の名称「キャプスタンレスヘリカルドライブシステム」に詳述されている（ここで本願発明のために援用されている）。ギア付きのモータ

一つとギアなしモータ一つとを利用することが好ましいと考えるか、その限りではない。

モータ22Sおよび22Tは、各モータ制御回路50Sおよび50Tによって駆動される対応コイルドライブ回路26Sおよび26Tを有しているものとして、図4に模式的に示される。コイルドライブ回路26S、26Tのそれぞれは本質的には図1で示されるコイルドライブ回路26である。同様にモータ制御回路50Sおよび50Tのそれぞれは本質的には図1で示されるモータドライブ回路50である。

図4は、モータ22Sおよびモータ22Tが回生電源70に接続されていることをさらに示している。回生電源70の構造および動作は、図1を参照して議論された回生電源70から理解される。

図4に示される実施態様において、単一のシングルマイクロプロセッサ40はモータ制御回路50Sおよびモータ制御回路50Tに異なる信号を出力する。他の実施態様において、もし望まれるなら、別個のマイクロプロセッサが、各モータドライブ回路に利用され得ることを理解すべきである。さらに、図4のマイクロプロセッサ40は、モータ22Sおよび22Tの減速制御に関連するテープドライブ100の動作状態を示す信号をライン42上に受け取る。例えば、ライン42上の信号は、リール110および112のリール速度およびテープ半径を示す信号を含む。そのような信号は、多くの方法で得ることができる。その多くの方法は、（1993年11月12日に出願された）GeorgisとZweighthaftの米国特許出願第08/150,726号、発明の名称「ヘリカルスキャンレコードにおける媒体リニアスピードを制御する方法およびその装置」において述べられたアプローチ（ここでは本願のために援用された）と同様なこれまでの公知技術とを含む。

モータ制御回路50Sおよび50Tのための各偶発的なモータ調節制御信号を準備する際に、マイクロプロセッサ40は、トレイリングリールがリーディングリールよりも早く止まろうとするように各信号のためのPWM値を決定する。リール110とリール112のどちらがトレイリングリールであり、どちらがリーディングリールで

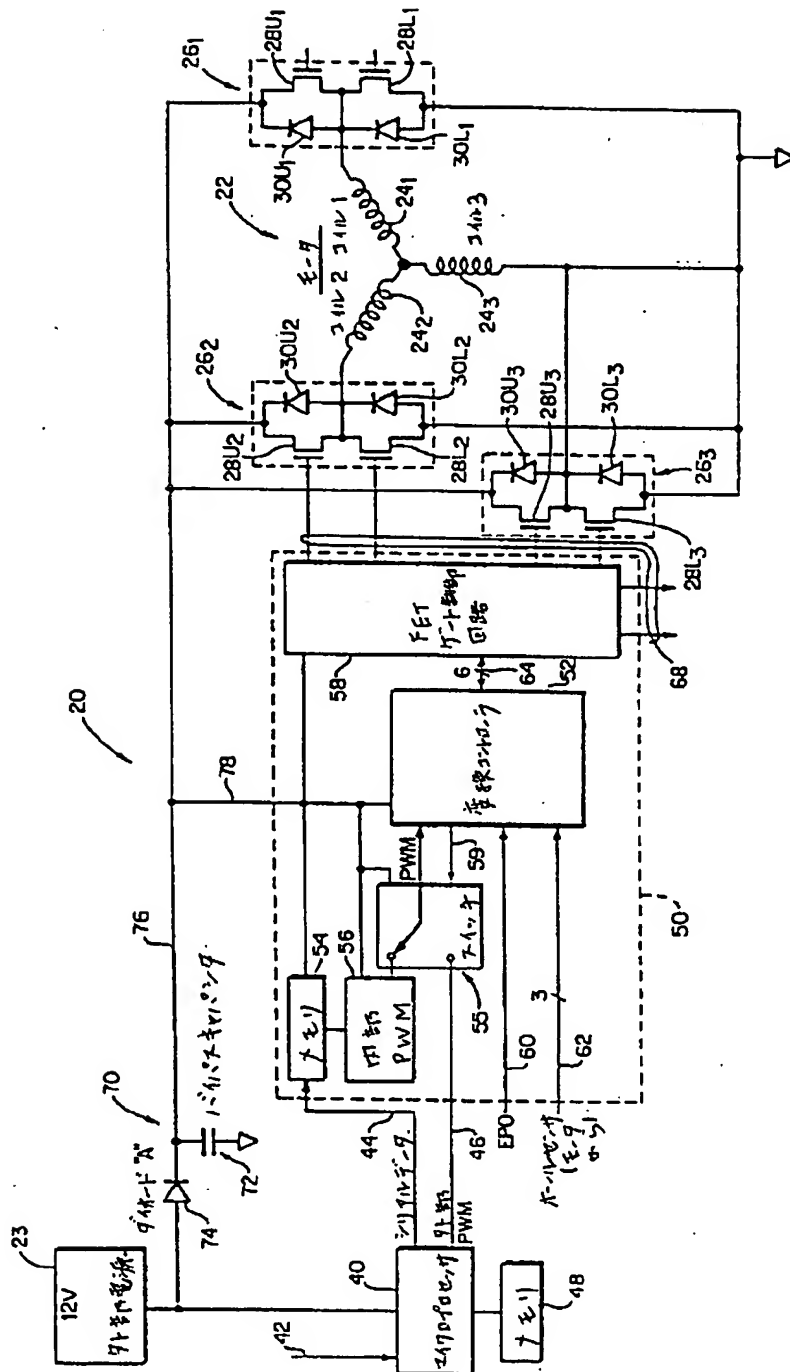
あるかは、もちろん、テープ走行の方向（例えば順方向あるいは逆方向）に依存する。

本発明の減速制御システム20は、突然にパワーの喪失が起こった際にモータ22の規則正しく知的に管理された減速を容易にする。有利な点としては、本発明の減速制御システム20は減速するモータによって生成する電流を利用して回生電源70に電荷を補給する。回生電源70は順々にモータ制御回路50を生きた状態に保ち、モータ制御回路50は順々に（マイクロプロセッサ40が死んだ後）マイクロプロセッサ40によって遺言される制御された減速を実行する。減速制御システム20は、部品あるいは機械的な要素を追加することなくその目的を達成する。

本発明は、好適な実施形態を参照して詳細に示され記載されているが、本発明の精神および範囲を逸脱することなく形式および詳細において様々な改変がなされ得ることが、当業者には理解されることであろう。例えば、コイルドライブ回路26は、関連する固有のダイオード30を有するFETトランジスタ28を含むものとして示されているが、他の実施態様においては、他の類似の構成要素が使用され得る。例えば、固有のダイオード30の機能を実行する外部のダイオードが設けられれば、バイポーラトランジスタを使用することもできる。コイルドライブ回路26の機能は、市販のチップによっても実現され得る。

独占的な所有権あるいは特権が請求される本発明の実施態様は、以下のように規定される。

FIG. 1



【図2】

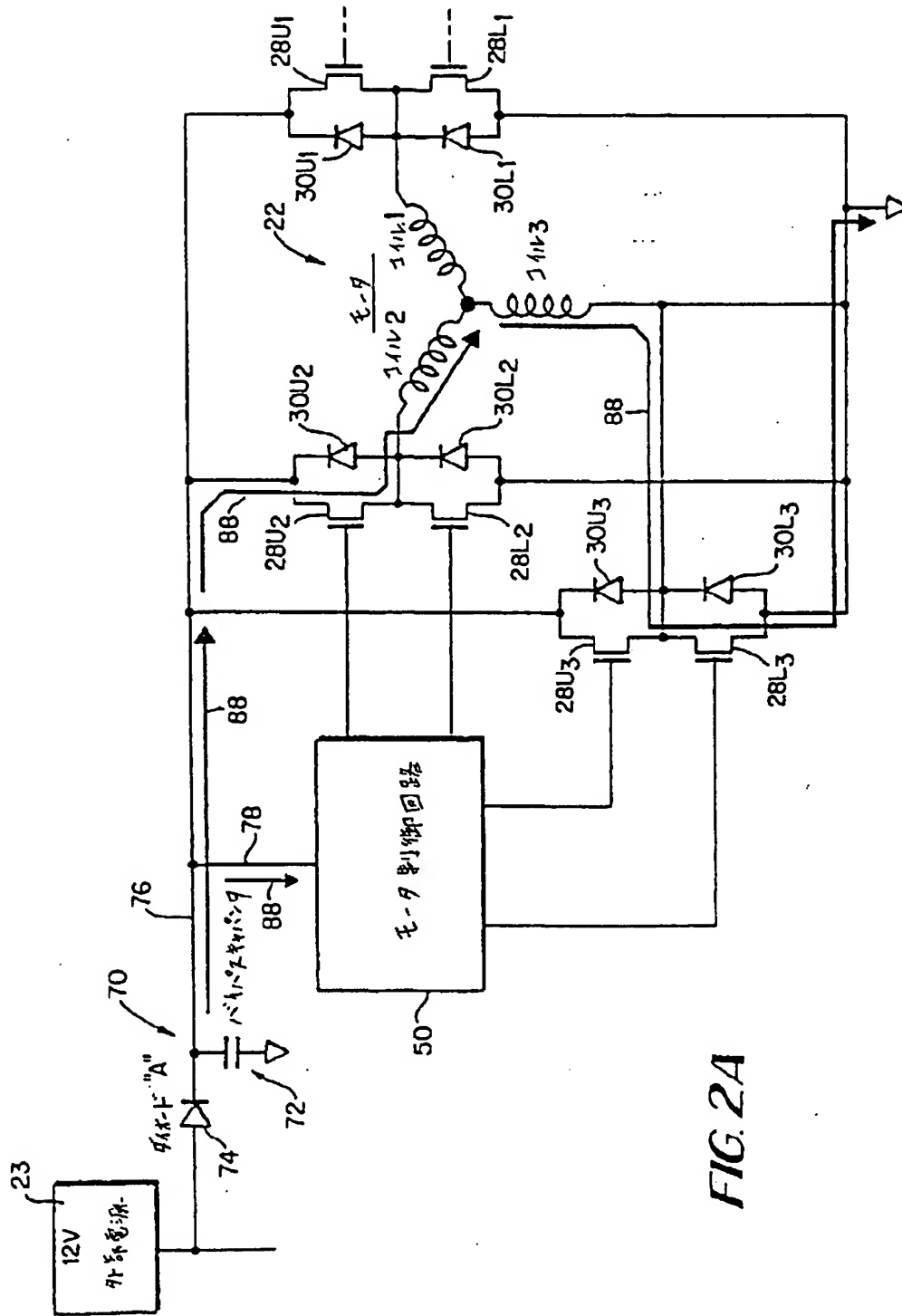
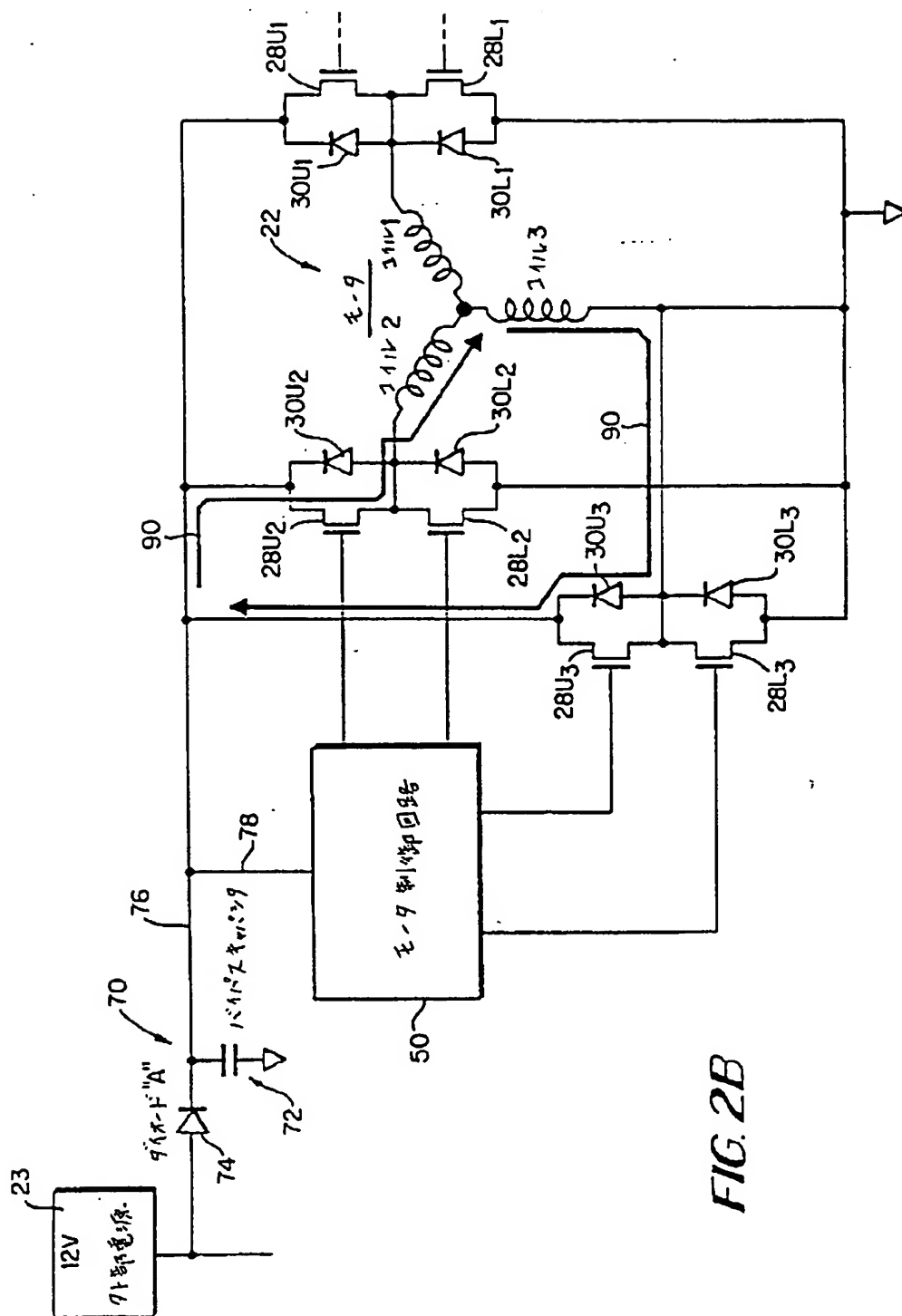


FIG. 2B



【図2】

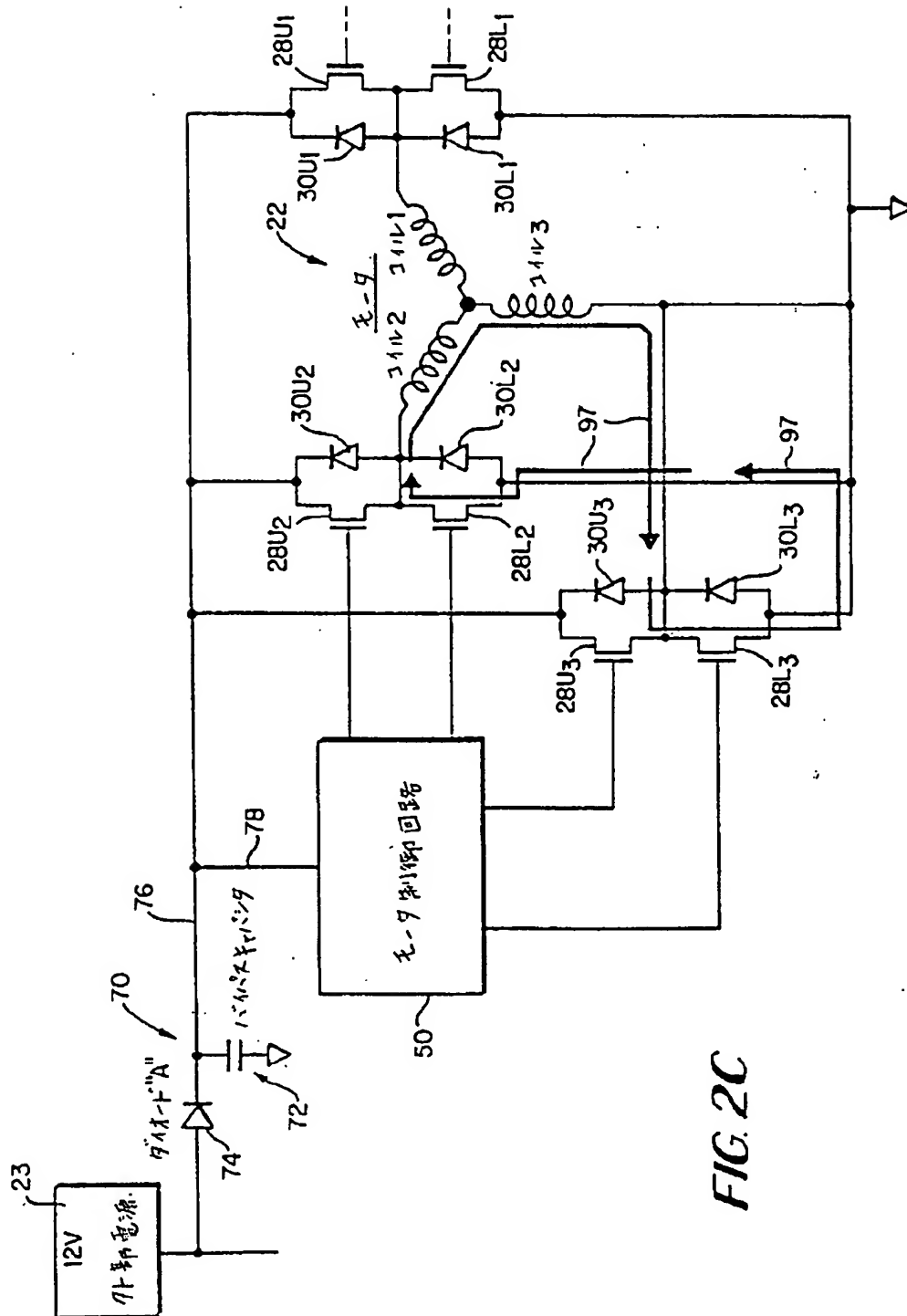


FIG. 2C

【図2】

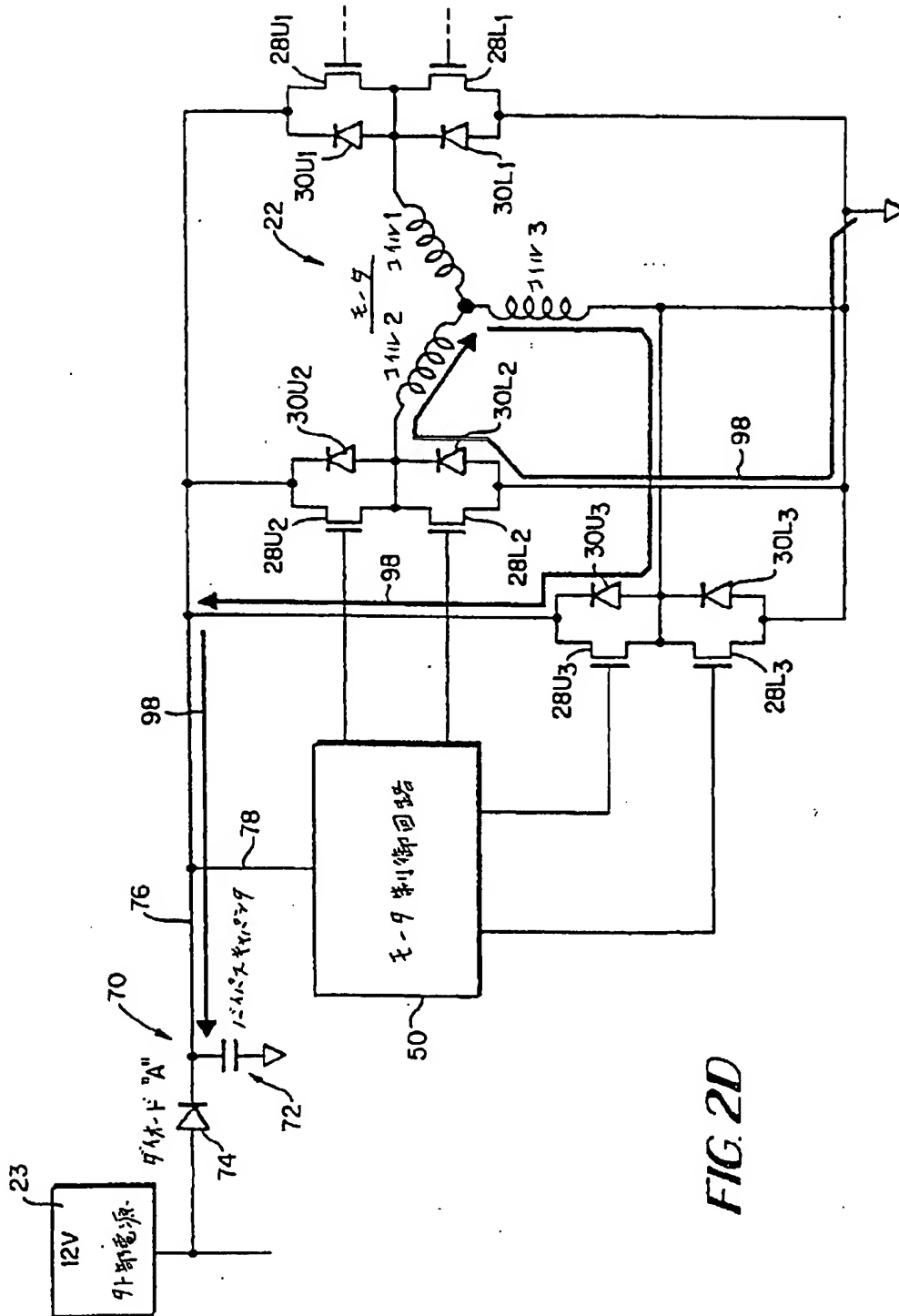


FIG. 2D

【図3】

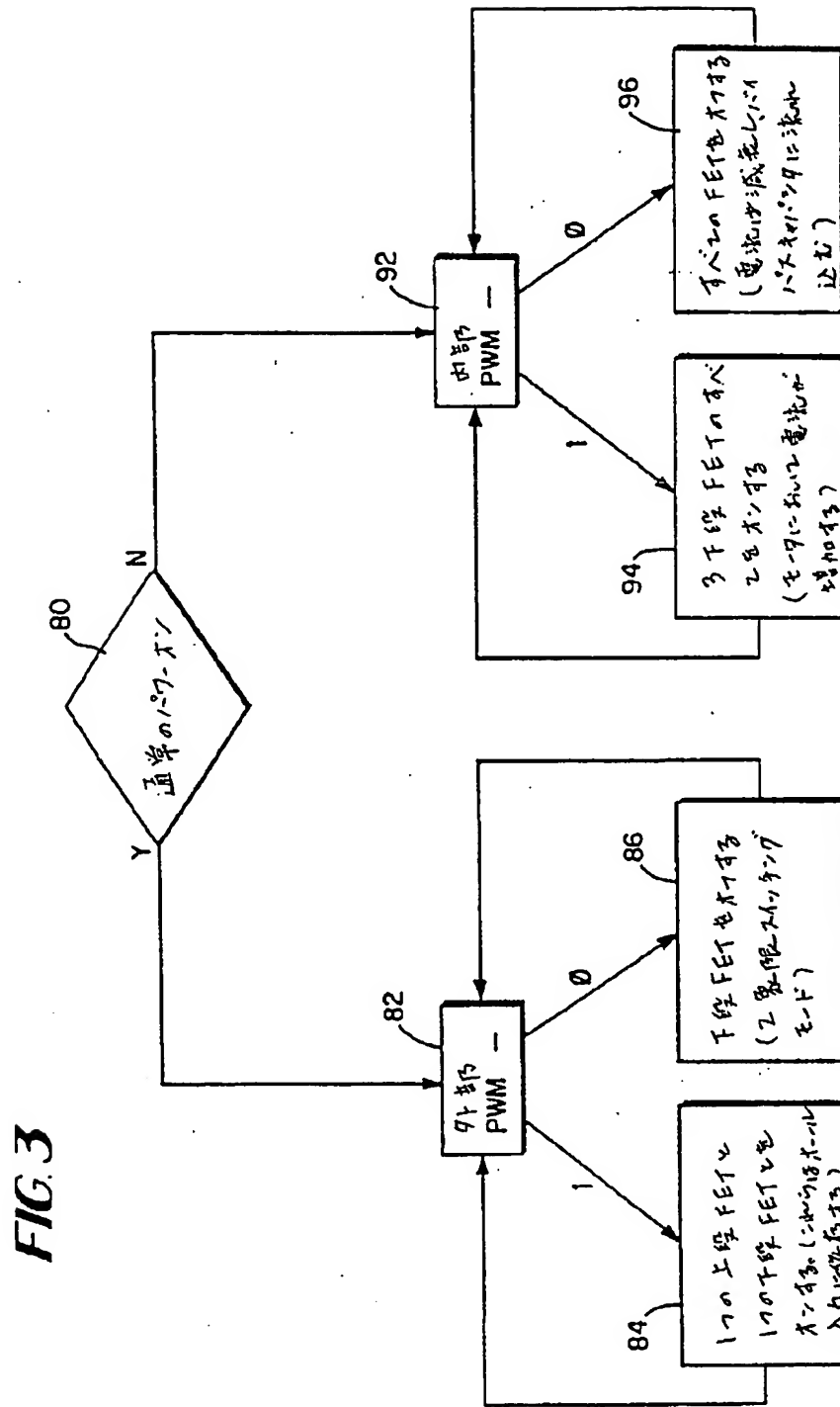
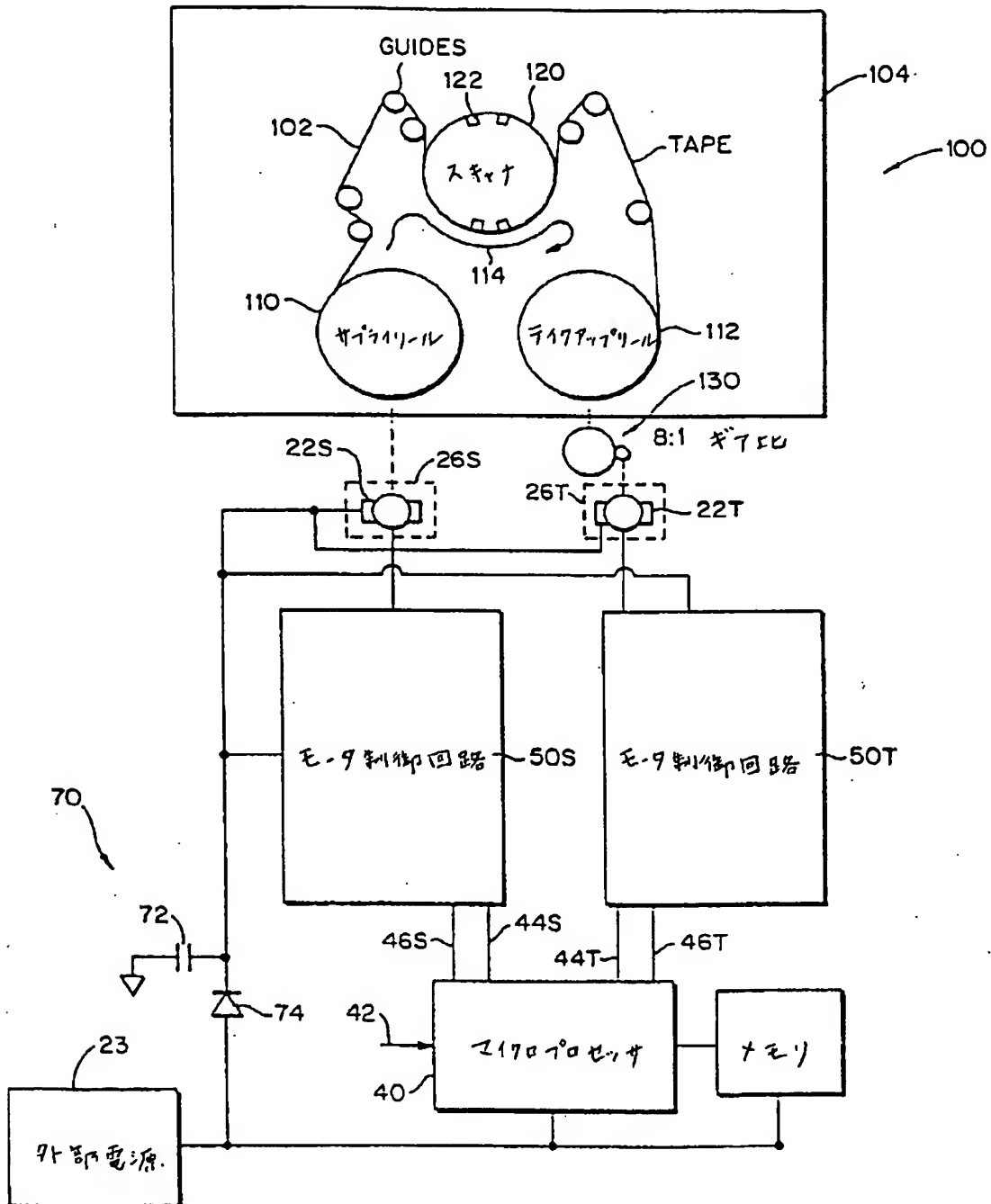


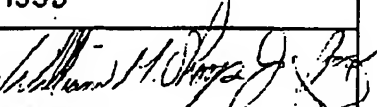
FIG. 4



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US94/12920

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : H02P 5/04; 1/04 US CL : 318/364; 388/847 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 318/364; 388/847 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A,P	US, A, 5,325,030(YAMAMURA ET AL.) 28 JUNE 1994 SEE ENTIRE DOCUMENT	1-43
A	US, A, 4,807,062(ONODERA) 21 FEBRUARY 1989, SEE ENTIRE DOCUMENT	1-43
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 25 JANUARY 1995		Date of mailing of the international search report 17 FEB 1995
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer DAVID MARTIN  Telephone No. (703) 308-3121